

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP362084563A
DOCUMENT-IDENTIFIER: JP 62084563 A
TITLE: MANUFACTURE OF THIN-FILM FIELD-EFFECT
TRANSISTOR ARRAY
PUBN-DATE: April 18, 1987

INVENTOR-INFORMATION:
NAME
OGAWA, FUMIHIRO
TADOKORO, OSAMU
OTA, KENICHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP60225259
APPL-DATE: October 8, 1985

INT-CL (IPC): H01L029/78, G02F001/133 , G09F009/35 , H01L027/12
US-CL-CURRENT: 257/E29.273, 438/140 , 438/FOR.409

ABSTRACT:

PURPOSE: To prevent plasma damage at the time of formation through a plasma CVD method by covering an ITO film for a display electrode with a metallic film during the time when a thin-film field-effect transistor is shaped.

CONSTITUTION: An indium-tin oxide film (an ITO film) 2 is formed onto a glass substrate 1 as a display electrode. A chromium film 3 is shaped onto the ITO film as a gate electrode. The superposed ITO and chromium two layer films are processed to the predetermined shapes of the gate electrode 4 and the display electrode 5 through photolithographic-etching. An

silicon nitride film
6 as a gate insulating layer, an amorphous silicon film 7 as a semiconductor layer and a phosphorus-doped N⁺ amorphous silicon film 8 as an ohmic contact layer are formed continuously by using a three-chamber in-line type plasma CVD device. Lastly, a chromium film for the gate electrode coated onto a display electrode 13, a chromium film for drain-source electrode and an silicon nitride film as a protective film are removed through photolithographic-etching.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-84563

⑤ Int. Cl.⁴ 識別記号 庁内整理番号 ④3 公開 昭和62年(1987)4月18日
H 01 L 29/78 8422-5F
G 02 F 1/133 3 2 7 8205-2H
G 09 F 9/35 3 0 1 6731-5C
H 01 L 27/12 7514-5F 審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 薄膜電界効果トランジスタアレイの製造方法

⑰ 特 願 昭60-225259

⑱ 出 願 昭60(1985)10月8日

⑲ 発 明 者 小 川 文 博 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 田 所 理 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 太 田 健 一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜電界効果トランジスタアレイの製造方法

2. 特許請求の範囲

(1) ガラス基板上に表示電極用導電膜を形成する工程と、前記導電膜上にゲート電極用金属膜を形成する工程と、前記導電膜と金属膜を選択エッチングしてゲート電極と表示電極を形成する工程と、ゲート絶縁膜と半導体層を堆積する工程と、前記ゲート絶縁膜と半導体層をエッチングして所定形状のゲート絶縁膜とソース・ドレイン領域を形成する工程と、ドレイン・ソース電極用金属膜を形成する工程と、ドレイン・ソース電極及びチャネル部を所定の形にエッチングする工程と、前記表示電極上に被覆されている前記ゲート電極用金属膜を除去する工程とを含むことを特徴とする薄膜電界効果トランジスタアレイの製造方法。

(2) ガラス基板上に表示電極用導電膜を形成する

工程と、ドレイン・ソース電極用金属膜を形成する工程と、オーミックコンタクト用半導体層を形成する工程と、前記表示電極用導電膜と前記ドレイン・ソース電極用金属膜と前記オーミックコンタクト用半導体層とを所定のドレイン電極、ソース電極、表示電極の形状にエッチングする工程と、ドレイン・ソース用半導体層、ゲート絶縁膜を順次堆積する工程と、ゲート電極用金属膜を形成する工程と、エッチングしてゲート電極、ソース電極、ソース領域、ドレイン電極、ドレイン領域、表示電極を形成すると共に表示電極上の前記ドレイン・ソース電極用金属膜、オーミックコンタクト用半導体層、ドレイン・ソース用半導体層、ゲート絶縁膜及びゲート電極用金属膜を除去する工程とを含むことを特徴とする薄膜電界効果トランジスタアレイの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜電界効果トランジスタアレイの製

造方法に関する。

〔従来の技術〕

プラズマCVD法により比較的低温でアモルファスシリコン膜をガラス基板上に形成できることから、これを用いた薄膜電界効果トランジスタアレイはアクティブマトリックス液晶ディスプレイ用として、開発実用化が進められている。この薄膜電界効果トランジスタアレイは、ゲートバスラインとドレインバスラインをマトリックス状に形成し、これらの交叉点に、薄膜電界効果トランジスタが設けられるがこのトランジスタの構造としてはゲート電極が下層で、ドレイン・ソース電極が上層の逆スタガー構造と、ゲート電極が上層でドレイン・ソース電極が下層の順スタガー構造が、提案されている。両トランジスタ構造において、ソース電極には、表示電極パッドが結ばれている。表示電極はスパッタ法による酸化インジウム・スズ膜が用いられ、この膜の厚さは、透明性と膜抵抗の両要求から $0.1\mu\text{m}$ 程度である。

〔発明が解決しようとする問題点〕

によって還元され失透するという不良が起りやすいことである。通常この問題を避けるために、成膜時のパワーを下げたり、基板温度を下げたりするが、薄膜電界効果トランジスタの特性に対してはマイナス要因となる。特に、移動度の低下やしきい電圧 V_T のドリフト量の増大が生ずる。

本発明の目的は製造工程の数を従来と同じあるいはより簡略な工程で、失透、移動度の低下、ドリフト量増大等の問題を解決する薄膜電界効果トランジスタアレイの製造方法を提供することにある。

〔問題点を解決するための手段〕

本願第1の発明の薄膜電界効果トランジスタアレイの製造方法は、ガラス基板上に表示電極用導電膜を形成する工程と、前記導電膜上にゲート電極用金属膜を形成する工程と、前記導電膜と金属膜を選択エッチングしてゲート電極と表示電極を形成する工程と、ゲート絶縁層と半導体層を堆積する工程と、前記ゲート絶縁層と半導体層をエッチングして所定形状のゲート絶縁膜とソース・ド

従来の薄膜電界効果トランジスタアレイの製造方法は、表示電極を薄膜電界効果トランジスタ形成後に成膜パターン化する製造方法と、薄膜電界効果トランジスタ形成前に成膜パターン化する製造方法がある。

前者の製造方法の問題点として、酸化インジウム・スズ(ITO)の膜形成条件に薄膜電界効果トランジスタの特性にダメージを与えないための制限が加わることであり、具体的には、ITO成膜時の基板温度を低く抑え、スパッタパワーも低く抑えなければならないことである。この制約は、膜の透明性や膜抵抗に悪影響を及ぼすだけでなく、アクティブ・マトリックス液晶パネルの組立工程及びパネルの寿命においても、ITO膜の劣化を招く。又、ITO膜が $0.1\mu\text{m}$ と薄いため薄膜電界効果トランジスタの凹凸の段差による段差切れ不良が生じやすい問題もある。

一方、後者の製造方法の問題として表示電極のITO膜が、プラズマCVD法でアモルファスシリコン膜及びゲート絶縁膜を形成する時、 H_2 ガス

ドレイン領域を形成する工程と、ドレイン・ソース電極用金属膜を形成する工程と、ドレイン・ソース電極及びチャネル部を所定の形にエッチングする工程と、前記表示電極上に被覆されている前記ゲート電極用金属膜を除去する工程とを言いで構成される。

本願第2の発明の薄膜電界効果トランジスタアレイの製造方法は、ガラス基板上に表示電極用導電膜を形成する工程と、ドレイン・ソース電極用金属膜を形成する工程と、オーミックコンタクト用半導体層を形成する工程と、前記表示電極用導電膜と前記ドレイン・ソース電極用金属膜と前記オーミックコンタクト用半導体層とを所定のドレイン電極、ソース電極、表示電極の形状にエッチングする工程と、ドレイン・ソース用半導体層、ゲート絶縁膜を順次堆積する工程と、ゲート電極用金属膜を形成する工程と、エッチングしてゲート電極、ソース電極、ソース領域、ドレイン電極、ドレイン領域、表示電極を形成すると共に、表示電極上の前記ドレイン・ソース電極用金属膜、

オーミックコンタクト用半導体層，ドレイン・ソース用半導体層，ゲート絶縁膜及びゲート電極用金属膜を除去する工程とを含んで構成される。

(実施例)

次に本発明の実施例について図面を参照して説明する。

第1図(a)~(i)は本第1の発明の第1の実施例を説明するための製造工程順に示した逆スタガー構造薄膜電界効果トランジスタの断面図である。

まず、第1図(a)に示すように、ガラス基板1に表示電極用として酸化インジウム・スズ膜(I TO膜)2をスパッタ法により約0.1 μ mの膜厚で形成する。

次に第1図(b)に示すように、I TO膜上にゲート電極用としてのクロム膜3をスパッタ法で約0.15 μ mの膜厚に形成する。

次に、第1図(c)に示すように重ねたI TO，クロムの2層の膜をフォトリソグラフィ・エッチングにより、所定のゲート電極4，表示電極5の形状に加工する。表示電極5は、クロム膜3によ

膜12をプラズマCVD装置を用い形成する。

最後に、第1図(i)に示すように、表示電極13上に被覆されているゲート電極用クロム膜，ドレイン・ソース電極用クロム膜及び保護層としての窒化シリコン膜をフォトリソグラフィ・エッチングにより除去する。以上述べた製造方法においては、2番目の工程でI TO膜をクロム膜で覆い、トランジスタ形成後の最後の工程でクロム膜を除去しているので、プラズマCVD法による形成時、I TO膜面はプラズマ雰囲気中にさらされることはない。

第2図(a)~(i)は本第1の発明の第2の実施例を説明するための製造工程順に示した逆スタガー構造薄膜電界効果トランジスタの断面図である。

第2図(a)，(b)，(c)までは第1の実施例と全く同じ工程で製造される。

次に、第2図(d)に示すように、3チャンバー・インライン式プラズマCVD装置により、ゲート絶縁層としての窒化シリコン膜6，半導体層としてのアモルファスシリコン膜7及び保護層として

て覆われている。

次に、第1図(d)に示すように、3チャンバーのインライン式プラズマCVD装置を用い、ゲート絶縁層として窒化シリコン膜6，半導体層としてアモルファスシリコン膜7及びオーミックコンタクト層としてリンドーブの n^+ アモルファスシリコン膜8をそれぞれ0.3 μ m，0.3 μ m，0.05 μ mの厚さに連続成膜する。

次に、第1図(e)に示すように、プラズマCVD法により形成された3層の膜を、フォトリソグラフィ・エッチングにより所定の形状に加工する。

次に、第1図(f)に示すようにドレイン・ソース電極としてクロム膜10をスパッタ法により膜厚0.15 μ mに形成する。

次に、第1図(g)に示すように、ドレイン・ソース電極及びチャンネル部11を形成するためにフォトリソグラフィ・エッチングにより所定の形状に加工する。

次に、第1図(h)に示すように、チャンネル部11が露出しているのを、保護層として窒化シリコン

の窒化シリコン膜12を各々0.3 μ mの膜厚で連続形成する。

次に、第2図(e)に示すようにプラズマCVD法により形成された3層の膜をフォトリソグラフィ・エッチングにより、所定の形状に加工する。

次に、第2図(f)に示すように、ドレイン・ソース電極部分の保護層の窒化シリコン膜12をフォトリソグラフィ・エッチングにより除去く。チャンネル部は、保護層の窒化シリコン膜12で覆われている。

次に、第2図(g)に示すように、ドレイン・ソース電極用の n^+ アモルファスシリコン膜8をプラズマCVD法で、クロム膜10をスパッタ法で各々膜厚0.05 μ m，0.15 μ mに形成する。

次に、第2図(h)に示すようにフォトリソグラフィ・エッチングにより、所定の形状にドレイン・ソース電極16を加工する。この工程で、表示電極上のゲート電極用クロム膜，オーミックコンタクト用 n^+ アモルファスシリコン膜及びドレイン・ソース電極用クロム膜が取除かれる。

最後に、第2図(i)に示すように、基板全体の保護層として、ポリイミド膜18をスピンナー法により塗布焼成し形成する。

以上述べた製造方法においては、二番目の工程でITO膜2をクロム膜3で覆いトランジスタ形成後クロム膜を除去しているため、プラズマCVD法による形成時、ITO膜面はプラズマ雰囲気中にさらされることはない。

第3図(a)~(h)は本第2の発明の一実施例を説明するための工程順に示した順スタガー構造薄膜電界効果トランジスタの断面図である。

まず、第3図(a)に示すように、ガラス基板1にITO膜2をスパッタ法により、膜厚0.1 μ mに形成する。

次に、第3図(b)に示すようにドレイン・ソース電極としてクロム膜3をスパッタ法により、膜厚0.15 μ mに形成する。

次に、第3図(c)に示すようにオーミックコンタクトのために n^+ アモルファスシリコン膜8をプラズマCVD法により膜厚0.05 μ mに形成する。

保護層としてポリイミド膜18をスピンナー法により塗布焼成し形成する。

この実施例においても前述の第1の発明の第1、第2の実施例と同様に、表示電極用のITO膜は、プラズマCVD法による形成時、クロム膜で覆われているためプラズマ雰囲気中にさらされることはない。

〔発明の効果〕

以上説明したように、本発明は、薄膜電界効果トランジスタを形成する間、表示電極用のITO膜が金属膜で覆われているようにしたので、プラズマCVD法の形成時のプラズマダメージを受けないという効果がある。

また、従来の製造方法では表示電極とゲート電極、あるいはドレイン・ソース電極を各々別にパターン加工していたが、本発明では表示電極はゲート電極（あるいはドレイン・ソース電極）と同一工程でパターン加工され、且つ、表示電極上の金属膜はドレイン・ソース電極（あるいはゲート電極）のパターン形成時に除去するので従来の製

次に、第3図(d)に示すように3層に形成された膜をフォトリソグラフィ・エッチングにより所定のドレイン電極19と、ソース電極、表示電極の形状に加工する。

次に、第3図(e)に示すように2チャンバーのインライン方式のプラズマCVD装置を用い、アモルファスシリコン膜7及びゲート絶縁層としての窒化シリコン膜6を各々0.3 μ mの膜厚に連続形成する。

次に、第3図(f)に示すように、ゲート電極用としてクロム膜3をスパッタ法で膜厚0.15 μ mに形成する。

次に、第3図(g)に示すようにフォトリソグラフィ・エッチングによりゲート電極22、ソース電極21、表示電極13を加工する。この工程で、表示電極上のドレイン・ソース電極用クロム膜、 n^+ アモルファスシリコン膜、アモルファスシリコン膜、窒化シリコン膜、ゲート電極用クロム膜が去除される。

最後に、第3図(h)に示すように、基板全体の保

造方法と比べフォトリソグラフィ工程が1工程少なくですむという効果がある。

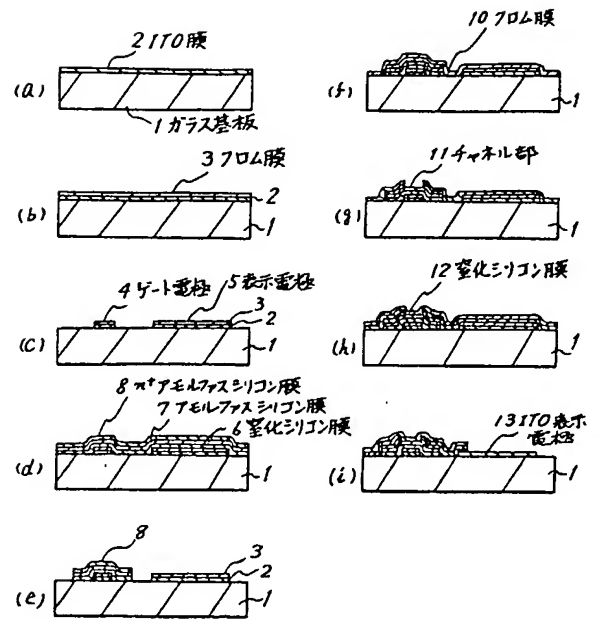
4. 図面の簡単な説明

第1図(a)~(i)は第1の発明の第1の実施例を説明するための工程順に示した逆スタガー構造薄膜電界効果トランジスタの断面図、第2図(a)~(i)は第1の発明の第2の実施例を説明するための工程順に示した逆スタガー構造薄膜電界効果トランジスタの断面図、第3図(a)~(h)は第2の発明の一実施例を説明するための工程順に示した順スタガー構造薄膜電界効果トランジスタの断面図である。

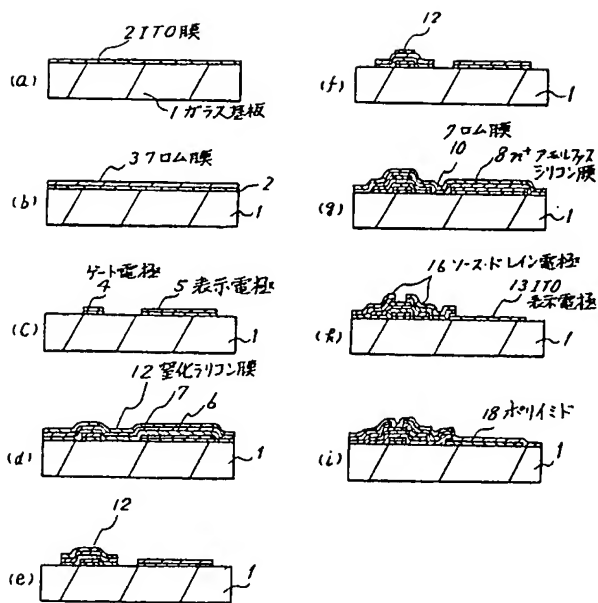
1……ガラス基板、2……ITO膜、3……クロム膜、4……ゲート電極、5……表示電極、6……窒化シリコン膜、7……アモルファスシリコン膜、8…… n^+ アモルファスシリコン膜、10……クロム膜、11……チャンネル部、12……窒化シリコン膜、13……ITO表示電極、16……ソース・ドレイン電極、18……ポリイミド、19……ドレイン電極、21……ソース電極、22……

…ゲート電極。

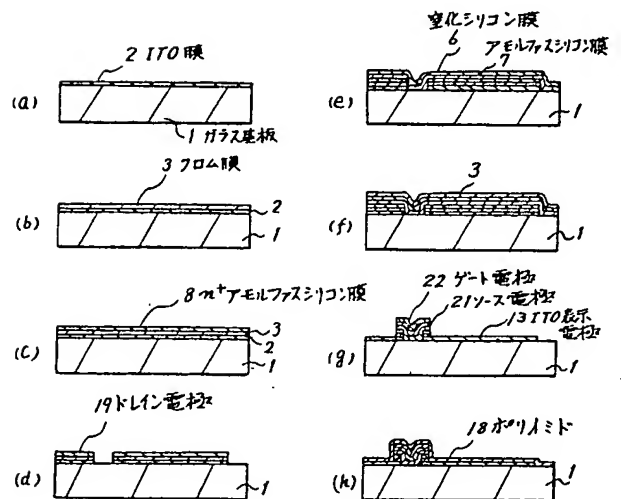
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図